

BỘ TIỀN XỬ LÝ TƯƠNG TỰ SỬ DỤNG KỸ THUẬT ĐIỀU KHIỂN ỔN ĐỊNH CHOPPER CHO HỆ THỐNG GHI TÍN HIỆU ĐIỆN NÃO BỆNH ĐỘNG KINH

AN ANALOG FRONT-END BASED ON THE CHOPPER FOR EPILEPSY BRAIN RECORDING SYSTEM

Vũ Văn Thanh¹, Nguyễn Thị Ngọc Anh^{2*}, Huỳnh Hải Âu³, Nguyễn Văn Thọ^{3,4}, Lê Hồng Nam¹, Nguyễn Đức Hiền⁵

¹Trường Đại học Bách khoa - Đại học Đà Nẵng, Việt Nam

²Trường Đại học Sư phạm - Đại học Đà Nẵng, Việt Nam

³Viện Khoa học và Công nghệ Tiên tiến - Đại học Đà Nẵng, Việt Nam

⁴Viện Nghiên cứu và Đào tạo Việt Anh - Đại học Đà Nẵng, Việt Nam

⁵Trường Đại học Công nghệ Thông tin và Truyền thông Việt-Hàn - Đại học Đà Nẵng, Việt Nam

*Tác giả liên hệ / Corresponding author: ngocanhnt@ued.udn.vn

(Nhận bài / Received: 02/5/2024; Sửa bài / Revised: 26/6/2024; Chấp nhận đăng / Accepted: 28/6/2024)

Tóm tắt - Bài báo trình bày một cấu trúc chopper mới sử dụng cho bộ khuếch đại tương tự trở kháng đầu vào cực cao, nhiễu thấp và mạch tiền xử lý tương tự 8 kênh băng thông rộng (AFE) cho các hệ thống ghi thần kinh công suất thấp. Cấu trúc chopper mới được đề xuất sử dụng trong tầng CCIA để giảm việc nạp điện tích và truyền clock, giúp làm giảm nhiễu gợn tần số cao ở tín hiệu đầu ra bộ AFE. AFE đề xuất được thiết kế và mô phỏng bằng quy trình CMOS chuẩn 180nm và hoạt động ở dải tần rộng từ 2,1Hz đến 2500Hz với nhiễu tham chiếu đầu vào thấp 1,6 μ Vrms và CMRR trên 80dB ở 2,1Hz. Kết quả tổng mức tiêu thụ điện năng thấp hơn 4,3 μ W trên mỗi kênh. Với cấu trúc AFE được đề xuất, trở kháng đầu vào là 35G Ω tại 21Hz và trở kháng tối thiểu trên băng thông hoạt động là 75M Ω tại 2,5kHz. Cấu trúc chopper sử dụng trong AFE đã giảm thiểu hơn 10dB tổng nhiễu tạo ra từ các clock điều khiển.

Từ khóa - Tiền xử lý tương tự; thiết bị cấy ghép não; thiết bị cấy ghép y sinh; ghi lại tín hiệu điện não; Công nghệ CMOS

1. Đặt vấn đề

Trong những năm gần đây kích thích não sâu (Deep Brain Stimulation- DBS) đang được quan tâm nhiều trong điều trị bệnh động kinh [1]. Với bộ điều khiển vòng hở, tín hiệu kích thích được bác sĩ lâm sàng điều chỉnh bằng tay. Do đó, điều này có thể gây ra tác dụng phụ và rủi ro ảnh hưởng đến bệnh nhân nếu tín hiệu kích thích này không được kiểm soát tốt ở giá trị không đổi. Để khắc phục vấn đề này, điều khiển vòng kín là một trong những phương pháp hiệu quả bằng cách thu thập và xử lý tín hiệu điện não đồ (ElectroEncephaloGraphy-EEG) từ não bằng các phương pháp xử lý tín hiệu để điều chỉnh dạng sóng kích thích. Ý tưởng này được áp dụng trong nhiều nghiên cứu như trong nghiên cứu [2] ứng dụng ngăn chặn cơn động kinh khi nó xảy ra hoặc trong nghiên cứu [3] giúp dự đoán cơn động kinh trước khi nó xảy ra và cung cấp tín hiệu kích thích để ngăn chặn cơn động kinh.

Các kỹ thuật khác nhau đã được sử dụng để phát hiện

Abstract - This paper presents a new chopper architecture used for an ultra-high input impedance, low-noise analog amplifier and a broadband 8-channel analog preprocessor (AFE) circuit for power neural recording systems. A new chopper stabilization control technique is proposed and used in the CCIA stage to reduce the charge injection and clock feedthrough and consequently the high-frequency ripple of the AFE output signal. The proposed AFE is simulated using a standard 180nm CMOS process and operates in a wide frequency band of 2.1Hz to 2500Hz with low input-referred noise of 1.6 μ Vrms and a CMRR over 80dB at 2.1Hz. The total power consumption is lower than 4.3 μ W per channel, the input impedance is 35G Ω @ 21 Hz and the minimum impedance over operational bandwidth is 75M Ω @ 2.5kHz. The chopper structure used in the circuit reduces the total noise generated from the control clocks by more than 10dB.

Key words - Analog front-end; biomedical implantable devices; brain implantable devices; neural recording; Cmos Technology

hoặc dự đoán cơn động kinh của não. Hơn nữa, các kỹ thuật này đòi hỏi phải hoạt động liên tục trong môi trường khắc nghiệt bao gồm nhiễu, sự không phối hợp trở kháng của điện cực và tiếp xúc mô-điện cực [4]. Bài báo này mô tả các vấn đề và thách thức trong việc thiết kế một bộ khuếch đại tương tự đầu cuối AFE (Analog Front-End) và đề xuất cấu trúc cho một AFE, đồng thời bộ khuếch đại AFE được áp dụng bộ chopper có cấu trúc mới. Phương pháp đề xuất tập trung vào việc mở rộng dải tần quan tâm của tín hiệu được ghi lên đến vài kHz. Các hoạt động dao động tần số rất cao (Very High Frequency Oscillation-VHFO) trên 1 kHz không có phát hiện xung đột biến (Spike) trong não bị động kinh xung quanh thời điểm bắt đầu cơn động kinh [5]. Các tín hiệu VHFO này có biên độ đỉnh tới đỉnh xuống tới 10 μ V. Tuy nhiên, trong nghiên cứu [6], [7] hoạt động dao động tần số cao (High Frequency Oscillation-HFO) (với dải tần 80-500Hz) và dải tần số thấp hơn dưới 1 Hz đã được ghi nhận khi khám phá động lực học của não động

¹ The University of Danang - University of Science and Technology, Vietnam (Vu Van Thanh, Le Hong Nam)

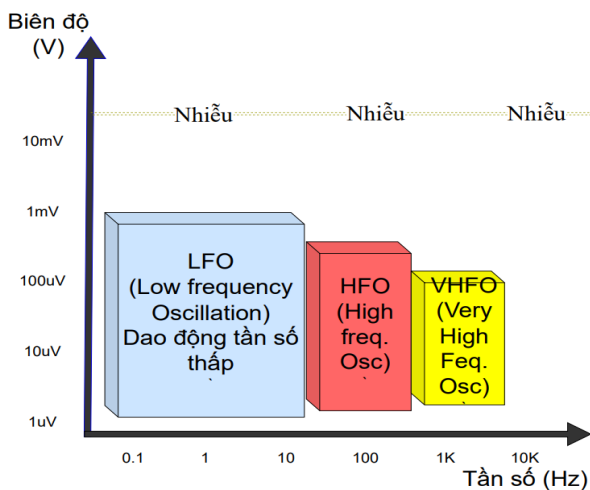
² The University of Danang - University of Science and Education, Vietnam (Nguyen Thi Ngọc Anh)

³ The University of Danang - Advanced Institute of Science and Technology, Vietnam (Huynh Hai Au, Nguyen Van Tho)

⁴ The University of Danang - VN-UK Institute for Research and Executive Education, Vietnam (Nguyen Van Tho)

⁵ The University of Danang - Vietnam-Korea University of Information and Communication Technology, Vietnam (Nguyen Duc Hien)

kinh. Thiết kế AFE phải thích ứng với tín hiệu trong Hình 1 để có thể cung cấp đủ thông tin dự đoán cơn động kinh. Vì vậy, băng thông của AFE phải bao phủ dải tần rộng từ 1 Hz đến trên 1kHz Hình 1, nguồn nhiễu của AFE phải đủ thấp để phân biệt được biên độ tín hiệu nhỏ nhất là 10 μ V. Điều này cũng xác định dải động tối thiểu của AFE phải lớn hơn 40 dB so với biên độ tín hiệu nhiễu tối đa là 1 mVpp.



Hình 1. Dải tần và biên độ tín hiệu ghi của nơ-ron trong não bị bệnh động kinh

Trong một hệ thống bao gồm cả hoạt động kích thích não và hoạt động ghi tín hiệu điện não, các thành phần tín hiệu giả không mong muốn [8] được tạo ra từ tín hiệu kích thích, trong đó biên độ lên tới 10 lần tín hiệu thần kinh được quan tâm, ảnh hưởng đến hoạt động ghi. Tín hiệu không mong muốn xuất hiện dưới dạng nhiễu ở chế độ chung đối với các đầu vào vi sai của AFE, do đó, thiết kế AFE phải có hệ số nén nhiễu đồng kênh (Common-Mode Rejection Ratio - CMRR) tốt để loại bỏ hoàn toàn tác động của các tín hiệu giả không mong muốn này. CMRR tổng xem xét toàn bộ hệ thống từ điểm thu tín hiệu của điện cực đến đầu ra của AFE. AFE phải đối mặt với nhiễu gợn trong dải tần từ 1Hz đến 1kHz. Vấn đề nhiễu này được tạo ra từ sự dao động sóng mang do các bẫy ở bề mặt tiếp xúc của Si SiO₂ [13]. Để giảm nhiễu gợn, một phương pháp chuyên đổi áp phân cực trên thân của bóng bán dẫn được đề xuất nhằm thoát sóng mang bị mắc kẹt ở cùng tần số chuyển mạch [14]. Tuy nhiên, sự dao động của điện áp phân cực trên thân bóng bán dẫn có thể gây ra sự cố chốt nếu điện áp phân cực trên thân không được điều chỉnh đúng cách. Tụ điện ký sinh ở tiếp giáp thân bán dẫn luôn ở mức cao và hạn chế khả năng của trình điều khiển chuyển mạch, do đó hạn chế tần số chuyển mạch. Một cách tiếp cận khác được sử dụng rộng rãi để giảm nhiễu gợn đó là kỹ thuật ổn định chopper [12], [15], [16]. Ý tưởng là điều chế tín hiệu đầu vào ở tần số cao hơn, khuếch đại tín hiệu đã điều chế và sau đó giải điều chế tín hiệu đã khuếch đại trở lại tần số ban đầu. Bằng cách áp dụng kỹ thuật này, nhiễu gợn tần số thấp do bộ khuếch đại tạo ra sẽ không nằm trong dải tần quan tâm ở tín hiệu đầu ra. Kỹ thuật ổn định chopper được áp dụng trong bộ khuếch đại chopper ghép điện dung (coupled chopper instrumentation amplifier -CCIA) [13] để đạt được hiệu suất tốt trong việc giảm nhiễu gợn, do đó, cải thiện nhiều tổng thể do đầu vào tham chiếu (Input-Referred Noise- IRN). Cấu trúc CCIA cũng thực hiện CMRR và mức

tiêu thụ điện năng tốt. Tuy nhiên, bộ chopper làm giảm trở kháng đầu vào của cấu trúc CCIA do hoạt động chuyển mạch của nó. Bên cạnh đó, các tín hiệu clock ở tần số cao dùng cho các bộ chopper cũng sẽ được nhìn thấy ở ngõ ra, điều này sẽ tạo ra các nhiễu tần số cao trong tín hiệu ngõ ra.

Bài báo này trình bày về bộ AFE có 8 kênh trở kháng đầu vào cao sử dụng cấu trúc CCIA (Coupled Chopper Instrumental Amplifier) làm tầng khuếch đại chính để đạt hiệu suất có nhiều tham chiếu ngõ vào thấp IRN và có hệ số nén nhiễu đồng kênh CMRR (Common-Mode Rejection Ratio) tốt. Bộ đệm có nhiễu thấp được đặt giữa các điện cực và tầng CCIA nhằm mục đích có trở kháng đầu vào cao trong khi vẫn duy trì các đặc tính IRN thấp. Ngoài ra, cấu trúc đề xuất sử dụng hai kênh AFE dùng chung một điện cực tham chiếu, sau đó là bộ đệm tham chiếu nhằm giảm số lượng điện cực cần thiết cho đầu vào tham chiếu của 8 kênh. Vòng lặp tăng trở kháng IBL (Impedance Boosting Loop) thông thường đã được triển khai trong tầng CCIA để tăng trở kháng của tầng 2.

Đóng góp chính trong bài báo này là một cấu trúc chopper hoàn toàn mới được đề xuất để phù hợp với bộ AFE 8 kênh sử dụng cấu trúc CCIA kết hợp với buffer đầu vào. Cấu trúc chopper bao gồm các chuyển mạch được hiệu chỉnh kích thước và kết nối theo cách hoàn toàn mới kết hợp với các tín hiệu điều khiển chuyên biệt.

2. Tổng quan về hệ thống

2.1. Vấn đề về CMRR và yêu cầu trở kháng đầu vào

Trong bộ AFE thực tế, luôn có sự không phối hợp trở kháng ở đầu vào của bộ khuếch đại, trong trường hợp này, việc không phối hợp đó xuất phát từ điện cực không có phối hợp trở kháng. Vì tất cả các bộ khuếch đại đều có thành phần tín hiệu đồng kênh hữu hạn nên tín hiệu đầu ra của bộ khuếch đại AFE luôn chứa thành phần nhiễu đồng kênh được lấy từ đầu vào như trong phương trình sau (theo Hình 2).

$$V_{out} = A_D V_{in} + \frac{A_D V_C}{CMRR} + A_D V_C \left(1 - \frac{Z_{in}}{Z_{in} + \Delta Z_{in}}\right) \quad (1)$$

Trong đó, A_D là độ lợi vi sai, CMRR là hệ số nén nhiễu đồng kênh, V_C là điện áp chế độ chung, ΔZ_{in} là sự không phối hợp trở kháng của bộ khuếch đại bằng hiệu của Z_{in} và Z_{in} là trở kháng đầu vào của bộ khuếch đại. Từ phương trình tín hiệu đầu ra (1), có thể xác định thành phần nhiễu đồng kênh đầu vào $V_{noise,in}$ như sau:

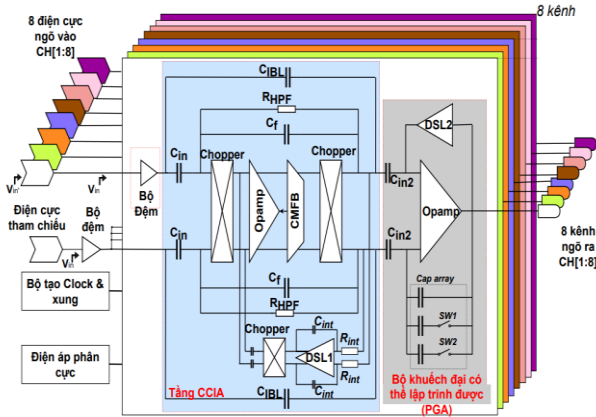
$$V_{noise,in} = V_C \left(\frac{1}{CMRR} + \frac{\Delta Z_{in}}{Z_{in} + \Delta Z_{in}}\right) \quad (2)$$

Dựa trên thảo luận ở phần trước về sự không phối hợp trở kháng giữa tiếp xúc điện cực-mô, trong trường hợp xấu nhất, chúng ta có sự không phối hợp trở kháng có thể lên tới 100 Ω ở tần số 1KHz. Do đó, để khử nhiễu đồng kênh đầu vào 5mV, để phân biệt biên độ đầu vào tối thiểu 10 μ V, CMRR phải lớn hơn 60dB và trở kháng đầu vào của AFE tối thiểu phải là 100K Ω tại 1KHz.

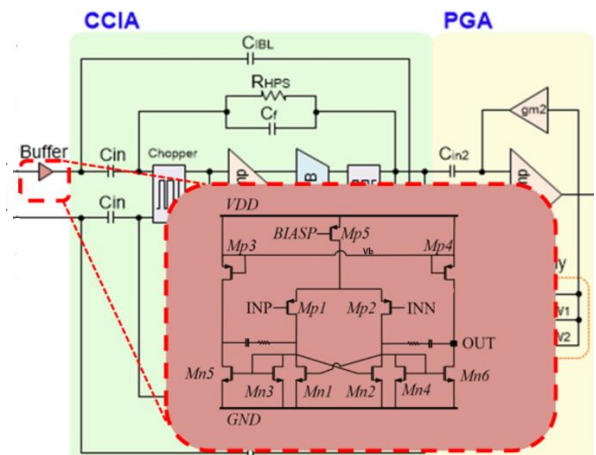
2.2. Cấu trúc đề xuất của bộ AFE

Cấu trúc tổng thể của AFE đề xuất được hiển thị trong Hình 2 bao gồm 8 kênh ghi và hai bộ đệm dùng chung được kết nối với một điện cực tham chiếu, điện cực này dùng chung giữa 8 kênh AFE. Bộ đệm đầu vào của AFE truyền

tín hiệu từ các điện cực có trở kháng cao đến bộ chopper của tầng CCIA. Tín hiệu đã điều chế được khuếch đại bởi lõi CCIA và đầu ra được giải điều chế bởi một bộ chopper khác trước khi kết nối với bộ khuếch đại khuếch đại có thể lập trình (Programmable Gain Amplifier-PGA) để điều chỉnh tổng độ lợi của AFE được đề xuất. Tất cả các bộ chopper sử dụng trong AFE được điều khiển bởi xung nhịp 20 kHz, do Bộ tạo Clock và xung tạo ra. Trong đó, C_{in} là DC servo loop intergration capacitor giúp loại bỏ Offset tại ngõ ra ở tầng 2; điện trở R_{HPF} kết hợp với C_{in} tạo ra mạch lọc thông cao để giới hạn tần số của tín hiệu được khuếch đại.



Hình 2. Sơ đồ khối của AFE 8 kênh



Hình 3. Sơ đồ nguyên lý Bộ đệm trong AFE

Để cung cấp khả năng tinh chỉnh tần số cắt trong việc tìm điểm tối ưu, nhóm tác giả đã triển khai bộ tạo dao động bên trong có điều khiển 3 bit với khả năng chọn tần số dao động từ 10 kHz đến 30kHz. Trong quá trình thử nghiệm, nhóm tác giả nhận thấy ở tần số khoảng 20kHz, AFE cho hiệu suất chống nhiễu tốt nhất. Bộ dao động bên trong có dung sai +/- 20% nên tần số tối ưu cho bộ cắt là 16kHz đến 24 kHz theo thử nghiệm. Việc triển khai chi tiết và phân tích mạch của từng tầng và các mạch phụ được trình bày trong phần tiếp theo.

3. Triển khai mạch

Khối khuếch đại chính của cấu trúc được đề xuất là tầng CCIA, nằm giữa bộ đệm đầu vào và tụ điện đầu vào của tầng PGA cuối cùng như trong Hình 2. Độ lợi của tầng CCIA (A_{CCIA}) được xác định bằng tỷ lệ của điện dung đầu vào C_{in} và điện dung hồi tiếp C_f có thể được tính như sau:

$$A_{CCIA} = \frac{C_{in}}{C_f} \quad (3)$$

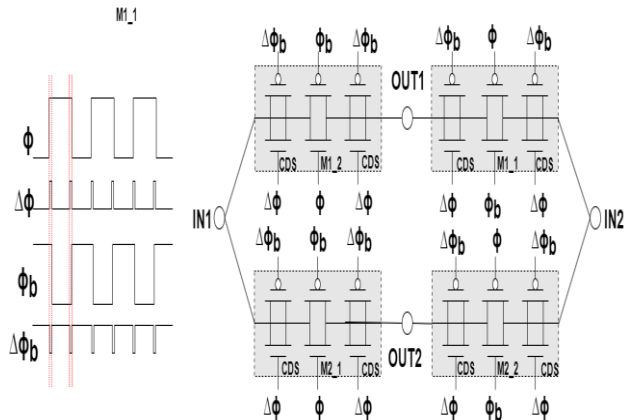
Tỷ lệ của C_{in} và C_f là yếu tố chính xác định mức tăng cho tầng CCIA chính, nhờ đó xác định được tín hiệu nào ứng dụng cho bộ AFE của chúng ta. Tỷ lệ C_{in} và C_f phải được xác định bằng cách xem xét sự cân bằng giữa điện tích và sự chuyển đổi quá trình của tụ điện kim loại. Trong thiết kế này, tỷ lệ của C_{in} và C_f là 100 lần, dẫn đến độ lợi của tầng CCIA là 40dB. Giá trị C_f được chọn ở mức 200fF (lớn hơn 5 lần so với kích thước tụ tối thiểu), do đó C_{in} chọn giá trị là 20 pF.

Do bộ đệm (Hình 3) được đặt ở phía trước bộ chopper của tầng CCIA nên không thể loại bỏ gọn nhiễu được tạo ra bên trong do hoạt động của bộ đệm. Tuy nhiên, các gọn nhiễu này có thể được giảm bằng cách chọn kích thước của linh kiện và mức tiêu thụ điện năng của bộ đệm một cách thích hợp. Các thiết bị PMOS được sử dụng làm bóng bán dẫn đầu vào (MP1,2) của bộ đệm như trong Hình 3. Kích thước của MP1,2 và Mn1, Mn2, Mn3 và Mn4 kết hợp với dòng điện cung cấp được tối ưu hóa để giảm nhiễu gọn, nhờ đó duy trì mức nhiễu do đầu vào tham chiếu của bộ đệm dưới 1,2 μ Vrms (tại 0,6Hz – 1kHz). Bộ đệm chiếm 20% tổng kích thước và tiêu thụ 40% tổng điện năng tiêu thụ của AFE. Vì tụ điện đầu vào của tầng CCIA cũng có sự sai số trong quá trình sản xuất nên những sai số đó sẽ làm giảm hiệu suất CMRR. Một số lần hồi tiếp đã được thực hiện để phân phối tụ điện và giảm thiểu sai số trong layout và mô phỏng pex-extracted. Bộ chopper được đặt sau tụ ngõ vào cũng sẽ ảnh hưởng đến điện áp phân cực DC của cặp đầu vào. Để tránh sự mất ổn định điện áp DC của cặp vi sai, mạch hồi tiếp chế độ chung (common mode feedback -CMFB) được sử dụng ở tầng CCIA.

Trong cấu trúc chopper thông thường, một công tắc duy nhất được sử dụng ở mỗi nhánh. Khi các công tắc thay đổi trạng thái, một nhiễu lớn thông qua clock sẽ xuất hiện ở đường dây đầu ra. Thông thường, điện tích truyền qua clock ở tần số cao. Tần số cắt thường cao hơn ít nhất 5 lần so với dải tần quan tâm của tín hiệu đầu vào. Tốc độ truyền xung nhịp từ chopper thường cao hơn 10 lần so với tần số cắt của công tắc. Do đó, tổng nhiễu truyền qua clock thường cao hơn 50 lần so với dải tín hiệu đầu vào. Trong hệ thống AFE thông thường, bộ lọc thông thấp (Low Pass Filter -LPF) được đặt ở đầu ra của bộ khuếch đại AFE và nhiễu thông qua clock này được lọc ra. Tuy nhiên, trong các thiết bị được cấy ghép, LFP ở tần số quá lớn để có thể tích hợp vào silicon. Vì vậy, việc giảm nhiễu xung nhịp từ nguyên nhân gốc rễ là rất có lợi.

Trong cấu trúc đề xuất của bộ chopper mới ở Hình 4, nhóm tác giả giới thiệu 8 công tắc nhỏ bổ sung, được gọi là công tắc xả nguồn cấp dữ liệu clock (Clock feed Discharge Switch-CDS) có Drain và Source là ngắn nhất. Việc kiểm soát công của các CDS bổ sung đó chỉ được kích hoạt trong tầng chuyển tiếp của các công tắc chính. Trong đó, các công tắc chính ($M1_1, M1_2, M2_1, M2_2$) được điều khiển bởi clock ϕ và ϕ_b , còn CDS được điều khiển bởi clock $\Delta\phi$ và $\Delta\phi_b$. Khi chuyển tiếp, điện tích được đưa vào đường dẫn chính thông qua các công tắc chính sẽ được phóng điện qua tụ điện ký sinh cổng nguồn CDS (C_{gs}) và tụ điện cổng thoát (C_{gd}).

Kích thước tăng lên khi có thêm 8 công tắc là lớn so với kích thước chopper mà thôi. Tuy nhiên, so với giải pháp khác cho vấn đề cấp dữ liệu clock này của LPF, thì tổng điện tích giải pháp này của nhóm tác giả có thể bị bỏ qua.

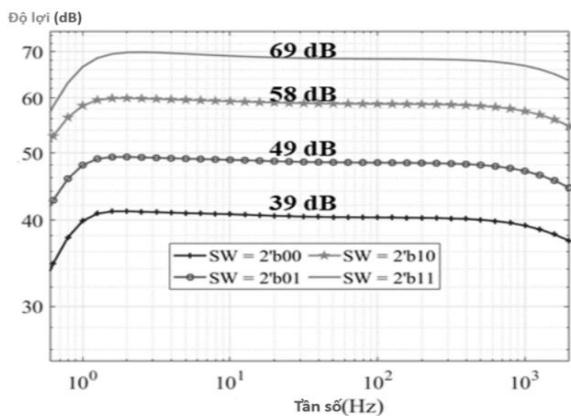


Hình 4. Cấu trúc đề xuất mới cho bộ chopper

4. Triển khai mô phỏng, thực nghiệm và kết quả

Các thông số như độ lợi, CMRR là kết quả của quá trình thực nghiệm từ chip thực tế. Để có các kết quả này, qui trình thực nghiệm được mô tả như sau: các khuôn được liên kết trực tiếp với giá đỡ mạch in 2 lớp để phục vụ mục đích thử nghiệm. Tần số hoạt động của AFE là từ 2Hz đến 2kHz, nó chứa tần số của dải nguồn điện lưới 50-60Hz. Để tránh nhiễu từ lưới điện, triển khai thử nghiệm đã áp dụng tất cả các kỹ thuật giảm nhiễu của lưới điện. nguồn cấp cho AFE được cung cấp bởi pin 3A (AAA).

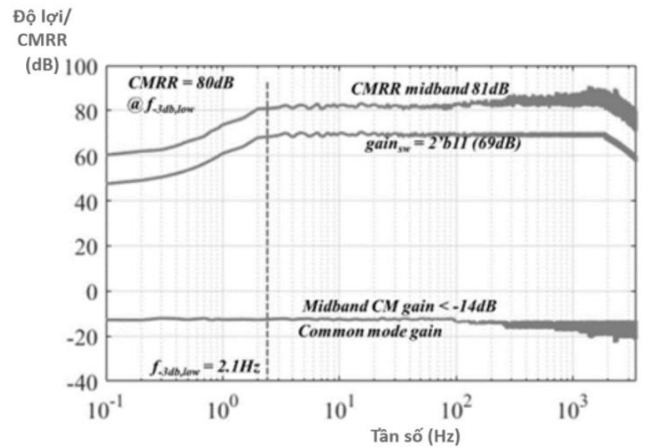
Cấu hình cho độ lợi được thực hiện thông qua công tắc dạng DIP được gắn trong mạch in. Hai công tắc được sử dụng để chọn hệ số khuếch đại của AFE. Như được hiển thị trong Hình 5, AFE có bốn mức khuếch đại là 39dB, 49dB, 58dB và 69 dB với công tắc DIP đầu vào lần lượt là 2'b00, 2'b01, 2'b10 và 2'b11.



Hình 5. Đo độ lợi AFE

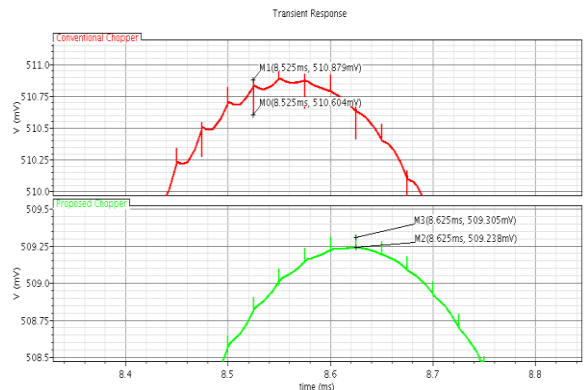
Độ lợi của CMRR được kiểm tra với độ lợi cấu hình cao nhất khi chuyển mạch ở mức 2'b11. Kết quả đo độ lợi CMRR thể hiện trên Hình 6. Có một số yếu tố ảnh hưởng vào hiệu suất giảm nhiễu tổng thể từ AFE của nhóm tác giả. Những yếu tố đó có thể được liệt kê như sau: nguồn điện và mức năng lượng tiêu thụ, kích thước của bộ khuếch đại, hiệu suất ổn định của bộ chopper và nhiễu của môi trường. Trong số đó, nguồn điện và kích thước không thể

được tối ưu hóa trong phép đo và chúng cần được giữ ở mức nhỏ nhất có thể. Nhiều môi trường được tối ưu hóa trong quá trình thiết lập thử nghiệm bằng cách sử dụng nguồn pin được đề cập ở trên. Hiệu suất ổn định của bộ chopper có thể tinh chỉnh bằng cách tinh chỉnh tần số xung nhịp điều khiển các chuyển mạch của bộ chopper. Nhờ bộ tạo dao động vòng có thể định cấu hình, có 3 bit điều khiển để tinh chỉnh tần số xung nhịp bắt đầu từ 8kHz đến 24 kHz. Hiệu suất giảm nhiễu được hiển thị trong Hình 7 là giá trị tối ưu nhất mà nhóm tác giả tìm thấy trong quá trình tinh chỉnh tần số chopper. Tổng nhiễu tham chiếu đầu vào là 0,75 μ Vrms tại 2,1 - 200 Hz và 1,6 μ Vrms tại 200 - 2500 Hz. Ở 1kHz, có nhiễu thấp hơn $72nV/\sqrt{Hz}$.



Hình 6. Đo độ lợi CMRR

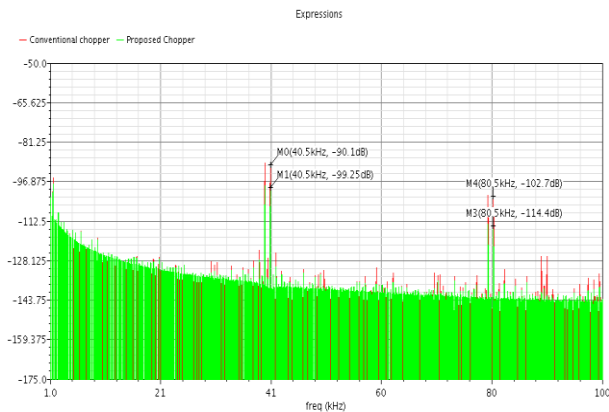
Chopper được đề xuất trong bài báo là chopper được sử dụng trong chip được gửi đi sản xuất. Chúng ta không sản xuất với chopper thông thường để so sánh thực tế vì lí do kinh phí, cho nên kết quả so sánh về hiệu quả của 2 cấu trúc chopper được tạo ra trong quá trình mô phỏng cho 2 cấu trúc bộ AFE với 2 loại chopper khác nhau. Chip được mô phỏng với tất cả các điện trở và tụ điện ký sinh chiếc xuất bởi phần mềm calibre-mentor graphic và phần mềm mô phỏng Cadence Spectre.



Hình 7. Tín hiệu đầu ra trong miền thời gian trong với bộ chopper thường (a) và cấu trúc bộ chopper đề xuất (b)

Hình 7 cho thấy, sự so sánh của tín hiệu đầu ra trong miền thời gian với trường hợp nhóm tác giả sử dụng bộ chopper thông thường [12], [15], [16] và cấu trúc bộ chopper đề xuất. Có thể thấy, nhiễu truyền qua clock xuất hiện cứ sau 20KHz, theo tần số cắt. Biên độ có thể lên tới 4 lần.

Chuyển sang miền tần số trong Hình 8, khi xét phổ của tín hiệu này. Chopper đề xuất của nhóm tác giả đã giảm nhiễu gọn truyền qua Clock xuống 10 dB.



Hình 8. Phổ tín hiệu ra trong miền tần số

5. Kết luận

Với phạm vi của bài viết này, nhóm tác giả sẽ trình bày một thiết kế AFE trở kháng đầu vào cao 8 kênh, có độ nhiễu thấp cho bộ cấy ghi nhận tín hiệu thần kinh từ mô não. Bằng cách xem xét sự không phối hợp trở kháng do trở kháng mô gây ra, yêu cầu liên quan đến CMRR và trở kháng đầu vào của AFE được xác định. CMRR (80dB tại dải giữa) và trở kháng đầu vào (35 GΩ tại 2,1Hz và 75 MΩ tại 2,5kHz) thu được trong phép đo cho thấy, AFE được đề xuất có thể chịu được sự không phối hợp tối đa do mô não gây ra. Hiệu suất chống nhiễu tổng thể của thiết kế AFE này được duy trì ở mức 0,75 μVrms tại 2,1 - 200 Hz và 1,6 μVrms tại 200 - 2500 Hz. Ở 1kHz, nhóm tác giả có độ nhiễu thấp hơn 72nV/√Hz với mức tiêu thụ điện năng hợp lý là 4,3 μW trên mỗi kênh, phù hợp cho việc cấy ghép não. Với dải tần số rộng từ 2,1 Hz đến 2,5kHz, AFE được đề xuất có thể được áp dụng để nắm bắt dải tần rộng của hoạt động co giật và các bệnh khác về não. Đồng thời nhờ áp dụng kỹ thuật điều khiển ổn định chopper mới đã được đề xuất, giúp giảm nhiễu truyền qua clock xuống 10dB so với các cấu trúc chopper thông thường.

Lời cảm ơn: Bài báo này được tài trợ bởi Bộ Giáo dục và Đào tạo Việt Nam hỗ trợ theo cấp đề tài có mã số: B2022-DNA-12.

TÀI LIỆU THAM KHẢO

[1] R. Fisher, *et al.*, “Electrical stimulation of the anterior nucleus of thalamus for treatment of refractory epilepsy”, *Epilepsia*, vol. 51, pp. 899-908, 2010, DOI: 10.1111/j.1528-1167.2010.02536.x.

[2] M. Pais-Vieira, A. P. Yadav, D. Moreira, D. Guggenmos, and A. Santos, “A Closed loop brain-machine interface for epilepsy control using dorsal column electrical stimulation”, *Scientific Reports*, vol. 6, pp. 1-9, 2016, DOI:10.1038/srep32814.

[3] M. Pfeiffer and T. Pfeil, “Deep learning with spiking neurons: opportunities and challenges”, *Frontiers in Neuroscience*, vol. 12, pp. 1-18, 2018, DOI:10.3389/fnins.2018.00774.

[4] Y. K. Lo, *et al.*, “Bio-impedance characterization technique with implantable neural stimulator using biphasic current stimulus”, *2014 36th Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, 2014, pp. 474-477, doi:10.1109/EMBC.2014.6943631.

[5] N. Usui, *et al.*, “Very high frequency oscillations (over 1000 Hz) in human epilepsy”, *Clinical Neurophysiology*, vol. 121, no. 11, pp. 1825-1831, 2010.

[6] A. Bragin, J. Engel, and R. Staba, “High-frequency oscillations in epileptic brain”, *Current Opinion in Neurology*, vol. 23, no. 2, pp. 151-156, 2010, doi:10.1097/WCO.0b013e3283373ac8.

[7] K. Edakawa, *et al.*, “Detection of epileptic seizures using phase-amplitude coupling in intracranial electroencephalography”, *Scientific Reports*, vol. 6, pp.1-4, 2016, DOI:10.1038/srep25422.

[8] K. McGill, *et al.*, “On the nature and elimination of stimulus artifact in nerve signals evoked and recorded using surface electrodes”, *IEEE Transactions on Biomedical Engineering*, vol. 29, no. 2, pp. 129-137, 1982.

[9] D. Prodanov and J. Delbeke, “Mechanical and Biological Interactions of Implants with the Brain and Their Impact on Implant Design” *Frontiers in Neuroscience*, vol. 10, pp. 1-11, 2016, DOI:10.3389/fnins.2016.00011.

[10] T. Kozai, A. Jaquins-Gerstl, A.L. Vazquez, A. C. Michael, and X. T. Cui, “Brain tissue responses to neural implants impact signal sensitivity and intervention strategies”. *ACS Chemical Neuroscience*, vol. 6, no. 1, pp. 48-67, 2015, DOI:10.1021/cn500256e.

[11] AtlasNeuro, “AtlasNeuro, Passive probes - pt electrode”. *AtlasNeuro.com*, 2020, [online] available <https://www.atlasneuro.com/content/catalog/probes-inventory-jul20.pdf>. [Accessed Feb. 7, 2020].

[12] H. Chandrakumar and D. Markovic, “A high dynamic-range neural recording chopper amplifier for simultaneous neural recording and stimulation”, *IEEE Journal of Solid-State Circuits*, vol. 52, no. 3, pp. 645-656, 2017, DOI:10.1109/JSSC.2016.2645611.

[13] R. R. Harrison and C. Charles, “A low-power low-noise CMOS amplifier for neural recording applications”. *IEEE Journal of solid-state circuits*, vol. 38, no. 6, pp. 958-965, 2003, DOI:10.1109/JSSC.2003.811979.

[14] M. Han, *et al.*, “Bulk switching instrumentation amplifier for a high-impedance source in neural signal recording”. *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, no. 2, pp.194-198, 2014, DOI:10.1109/TCSII.2014.2368615.

[15] Q. Fan, F. Sebastiano, H. Huijsing, and K. Makinwa. “A 1.8 μW 60 nV/√Hz capacitively-coupled chopper instrumentation amplifier in 65 nm CMOS for wireless sensor nodes”. *IEEE Journal of Solid-State Circuits*, vol. 46, no. 7, pp.1534-1544, July 2011, DOI:10.1109/JSSC.2011.2143610.

[16] Y. Tseng, Y. Ho, S. Kao, and C. Su, “A 0.09 μW low power front-end biopotential amplifier for biosignal recording”, *IEEE Transactions on Biomedical Circuits and Systems*, vol. 6, no. 5, pp. 508-516, 2012.